

Fig. 1

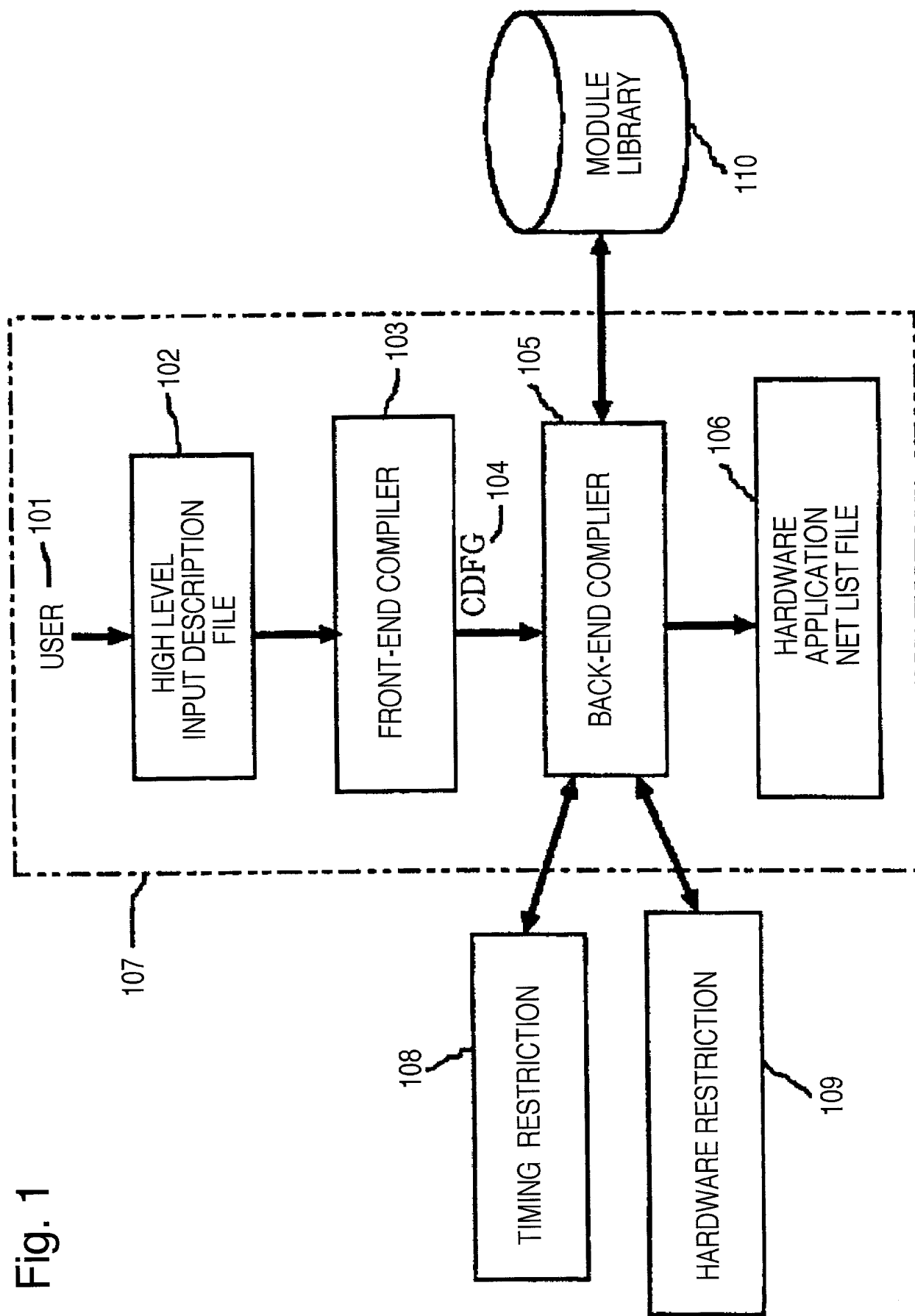


Fig. 2a

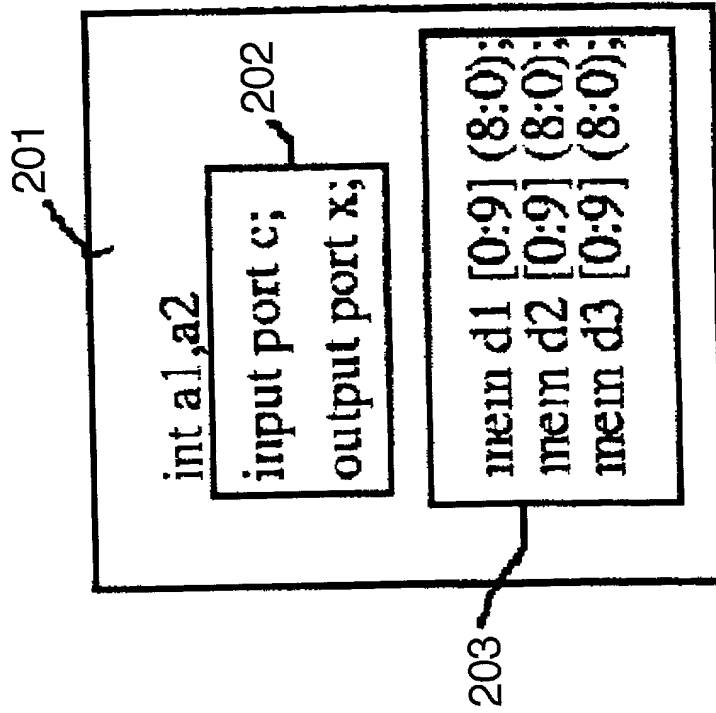


Fig. 2b

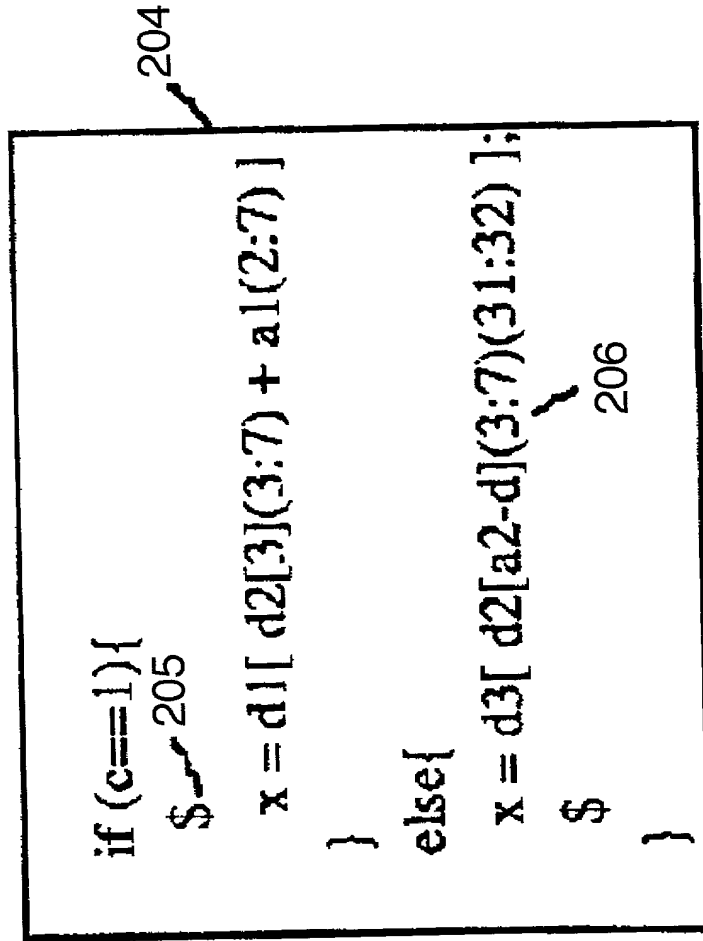
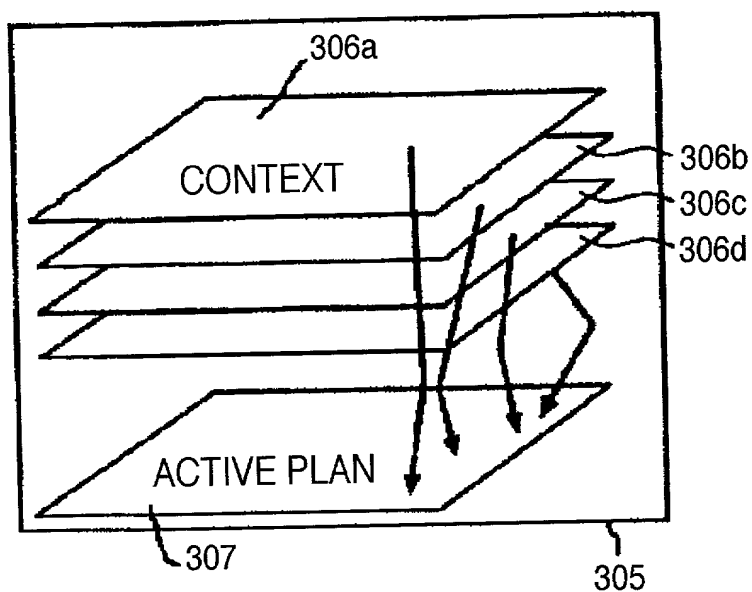
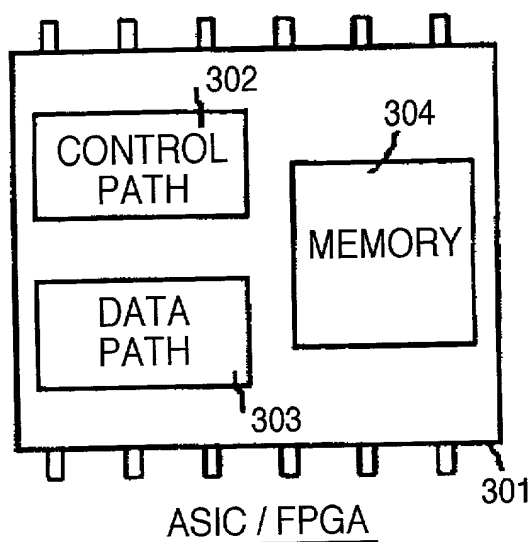
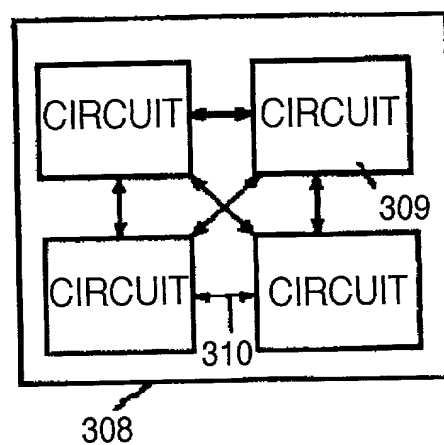


Fig. 3



Dynamic Reconfigurable Hardware (DRL)



Multi-chip Circuit

Fig. 4

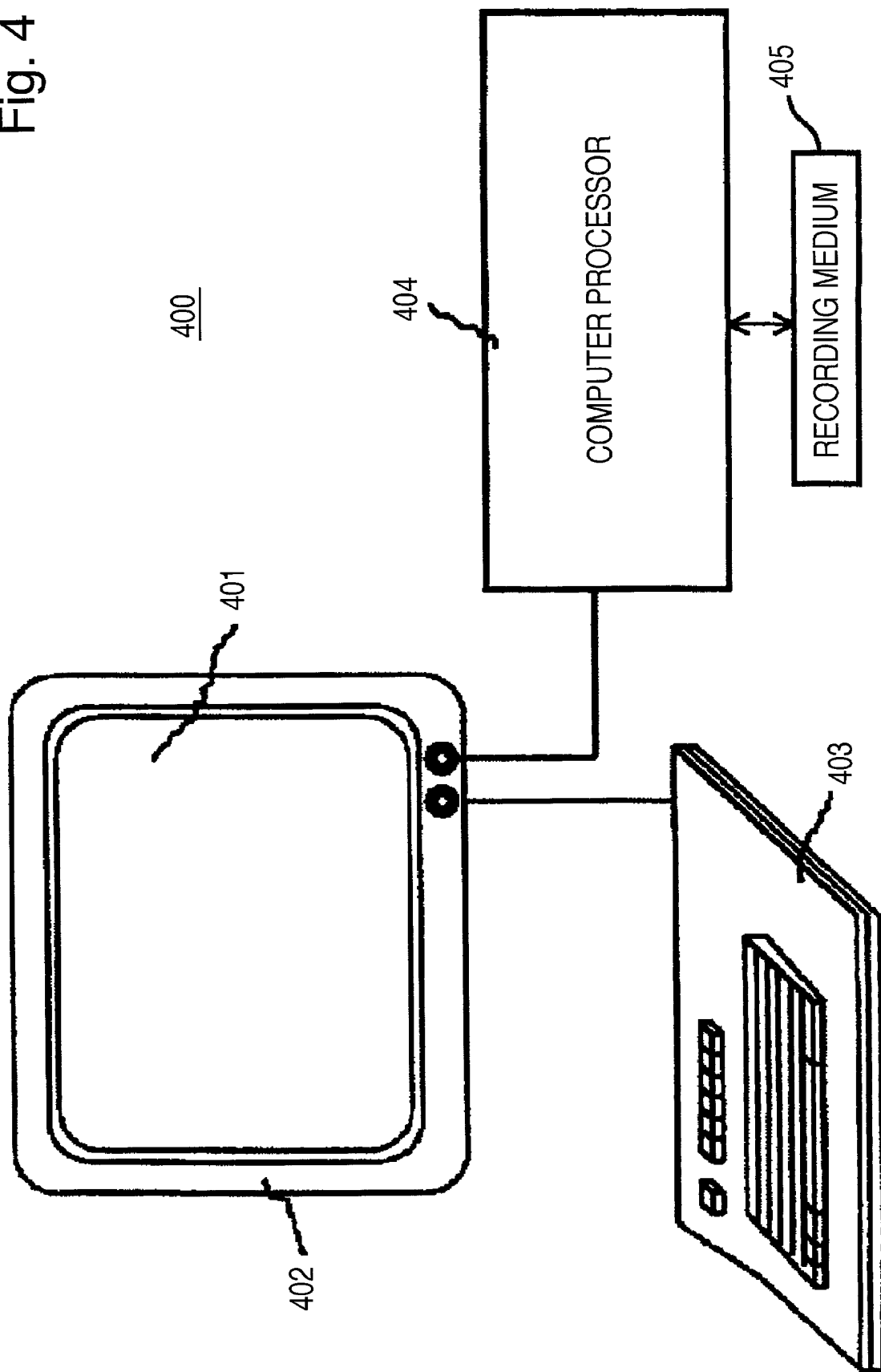
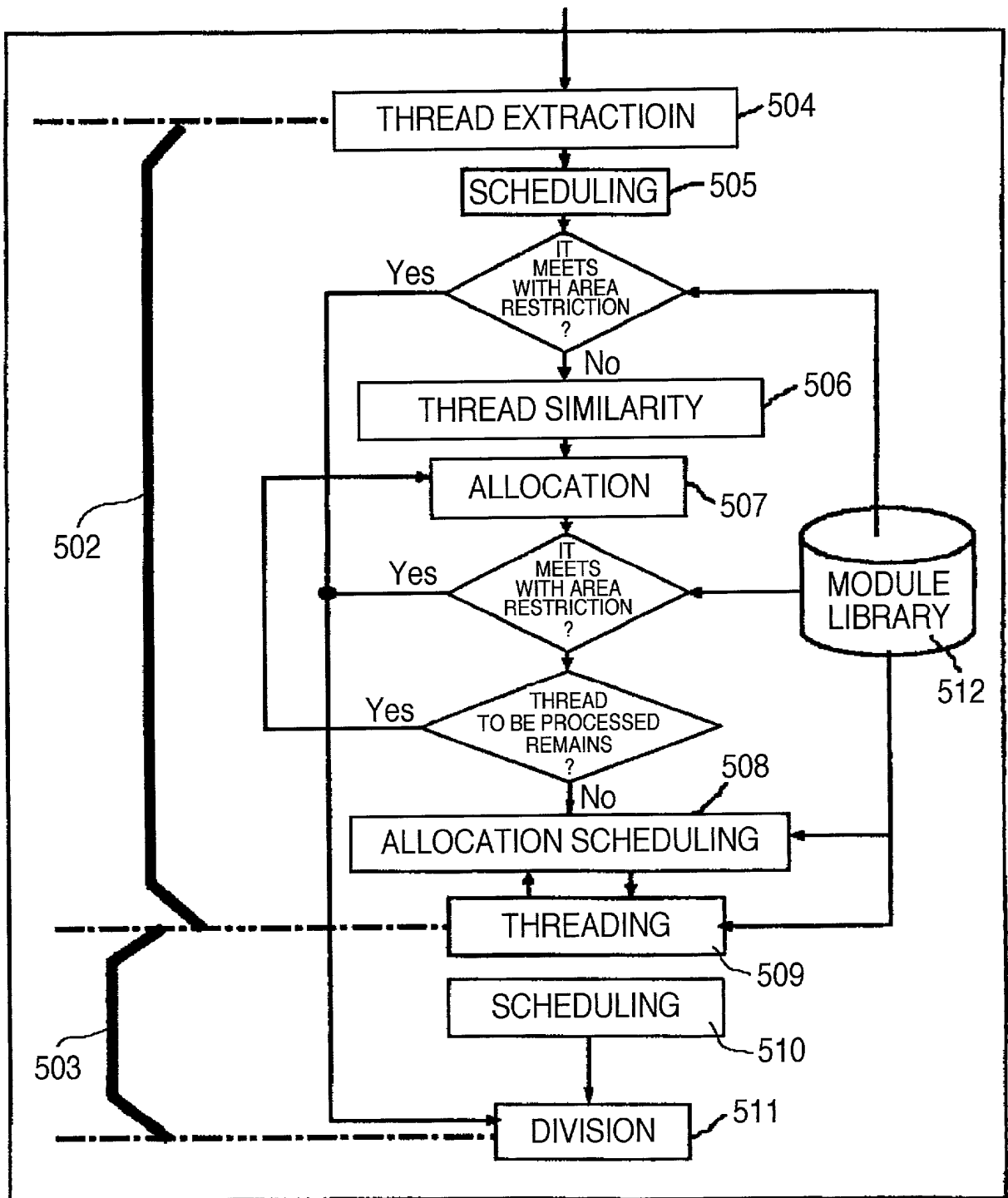


Fig. 5



20250909 09:29:06

Fig. 6

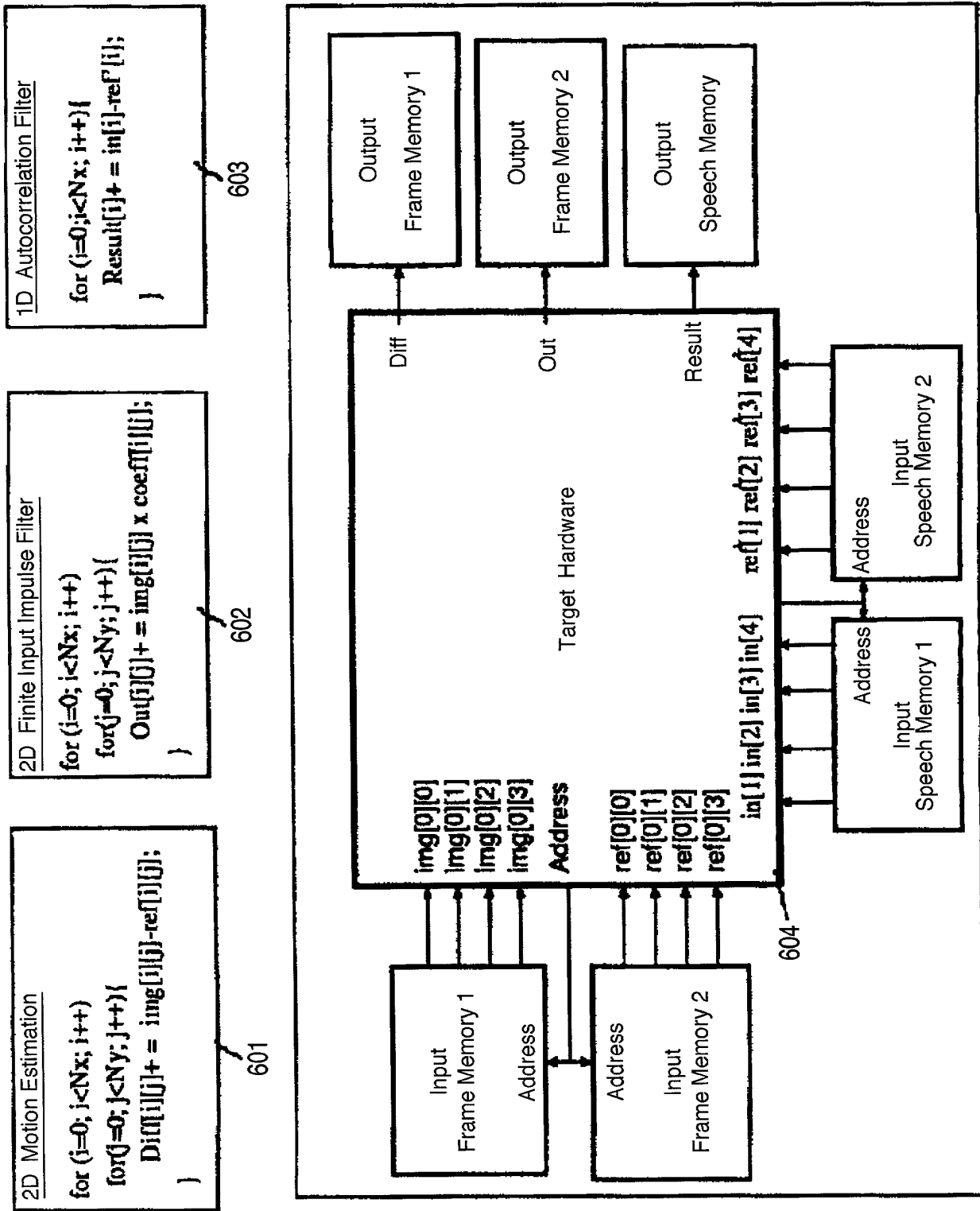


Fig. 7

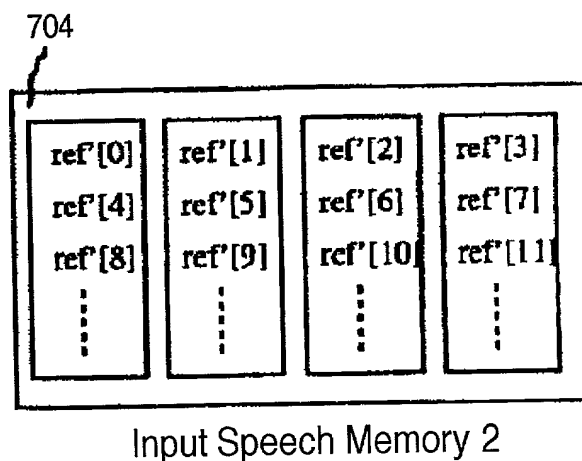
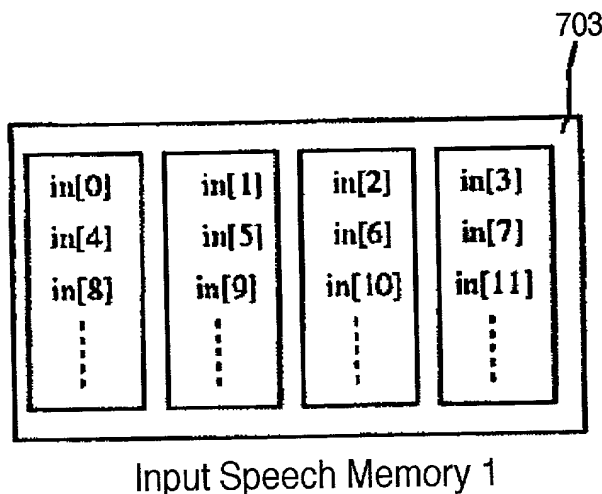
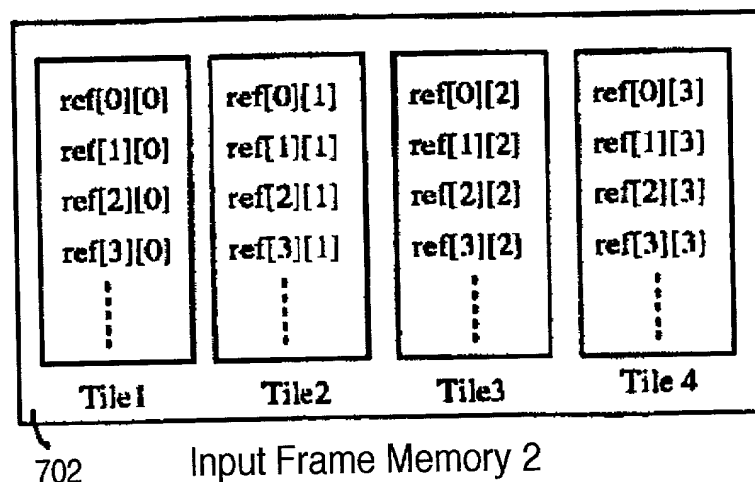
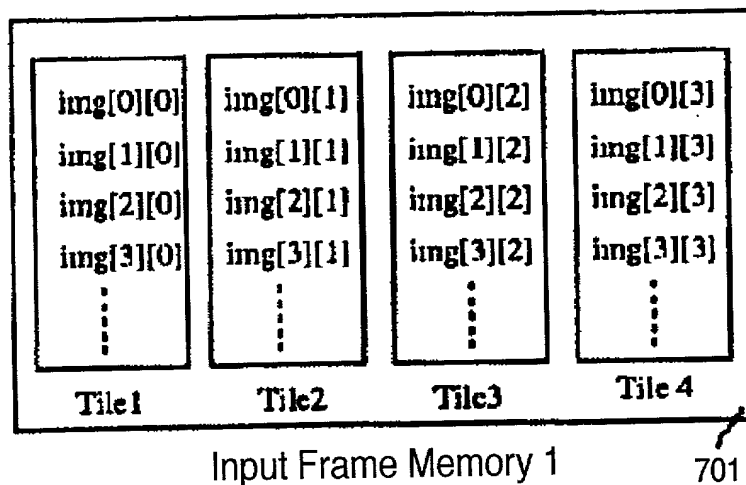


Fig. 8

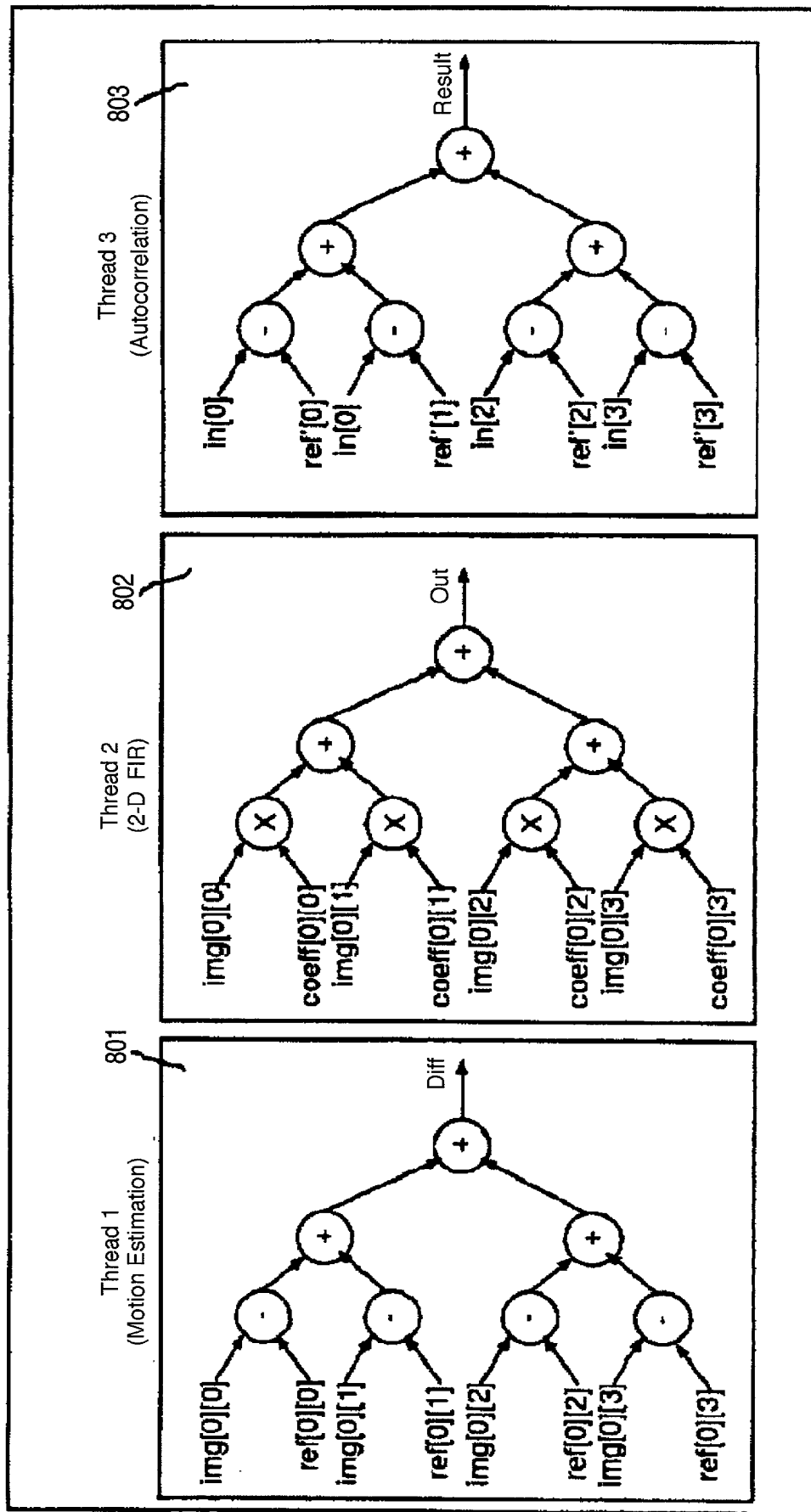


Fig. 9

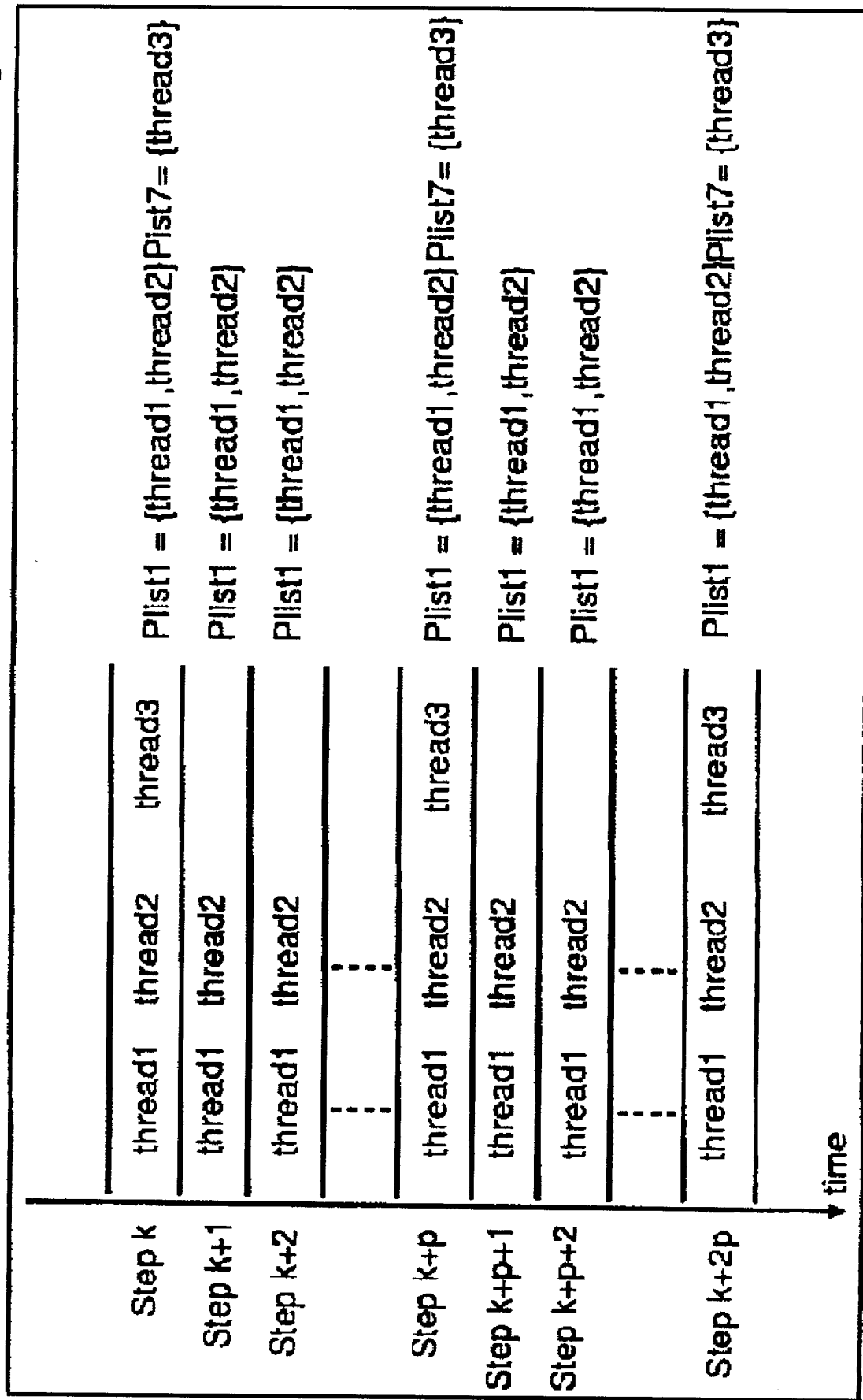
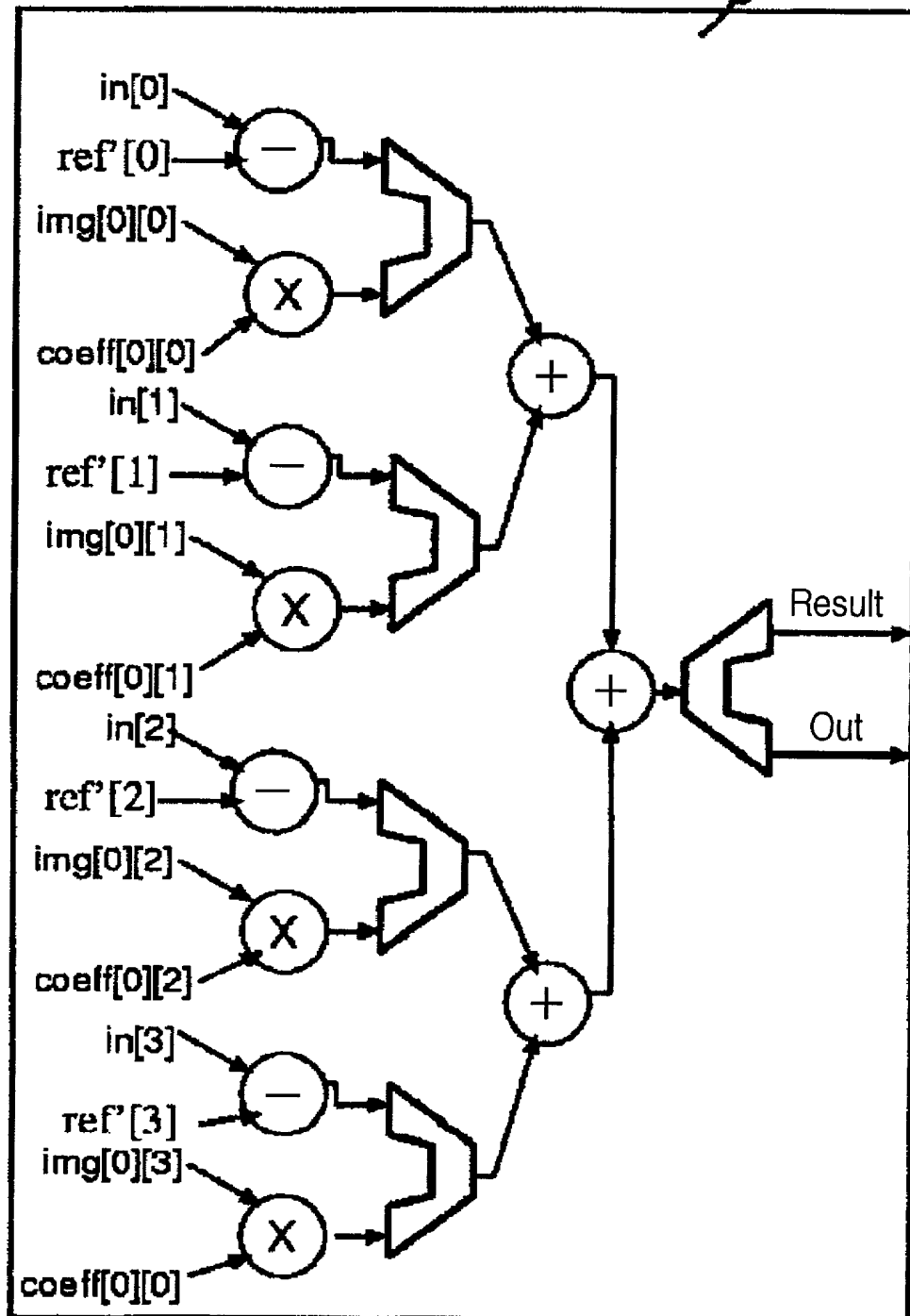


Fig. 10

Thread 2 – Thread 3

1003



Area 13 = 410

202790-98292660

Fig. 11a

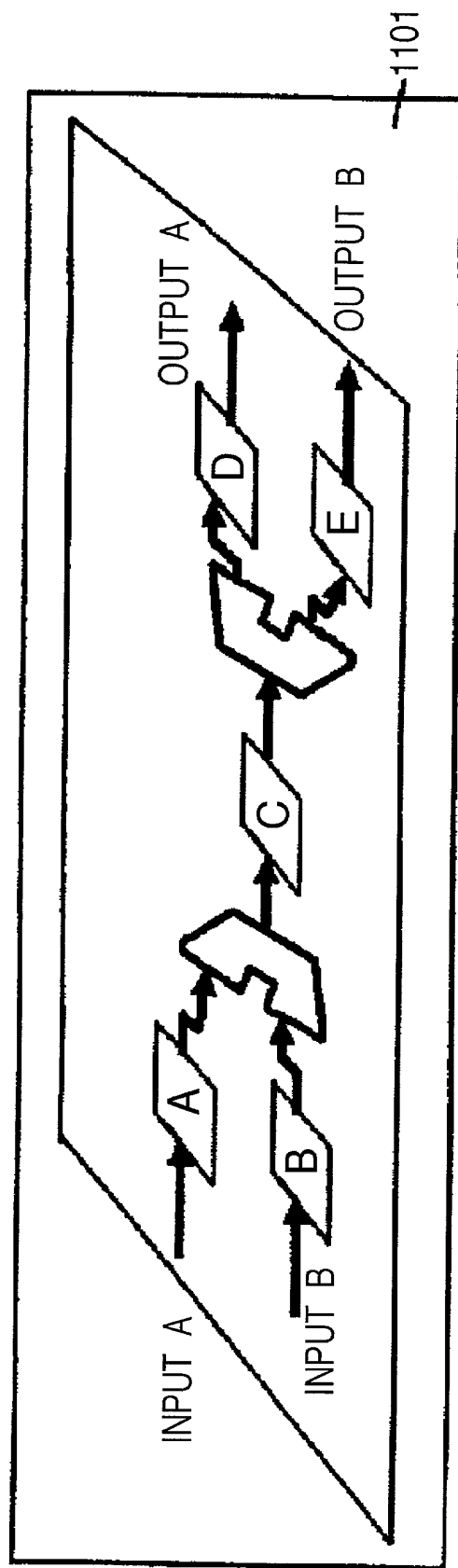
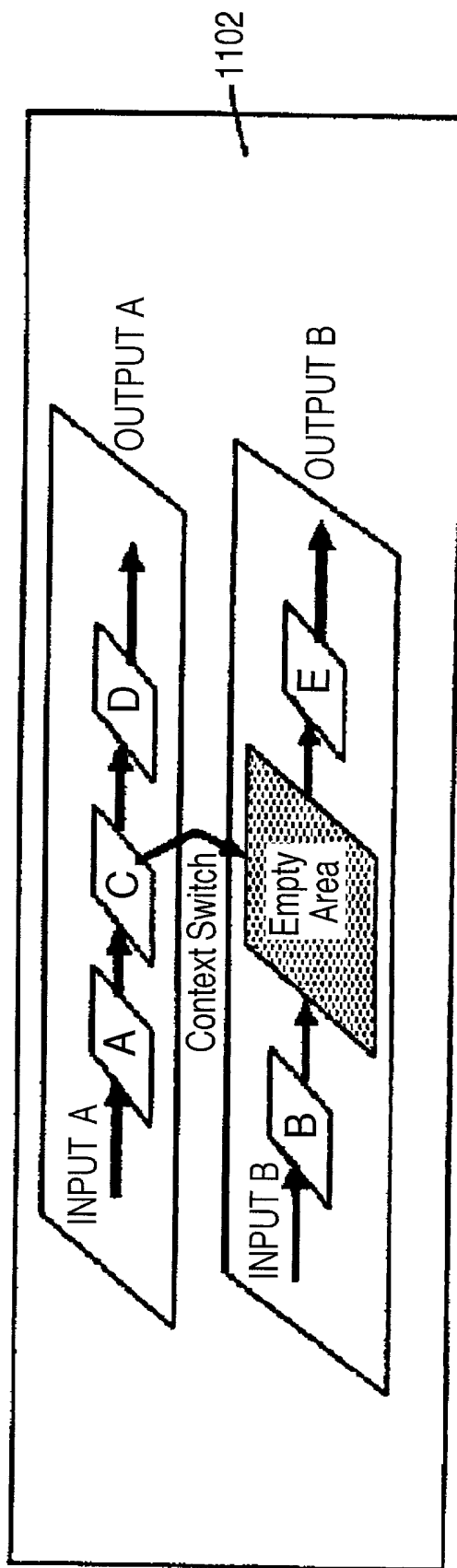
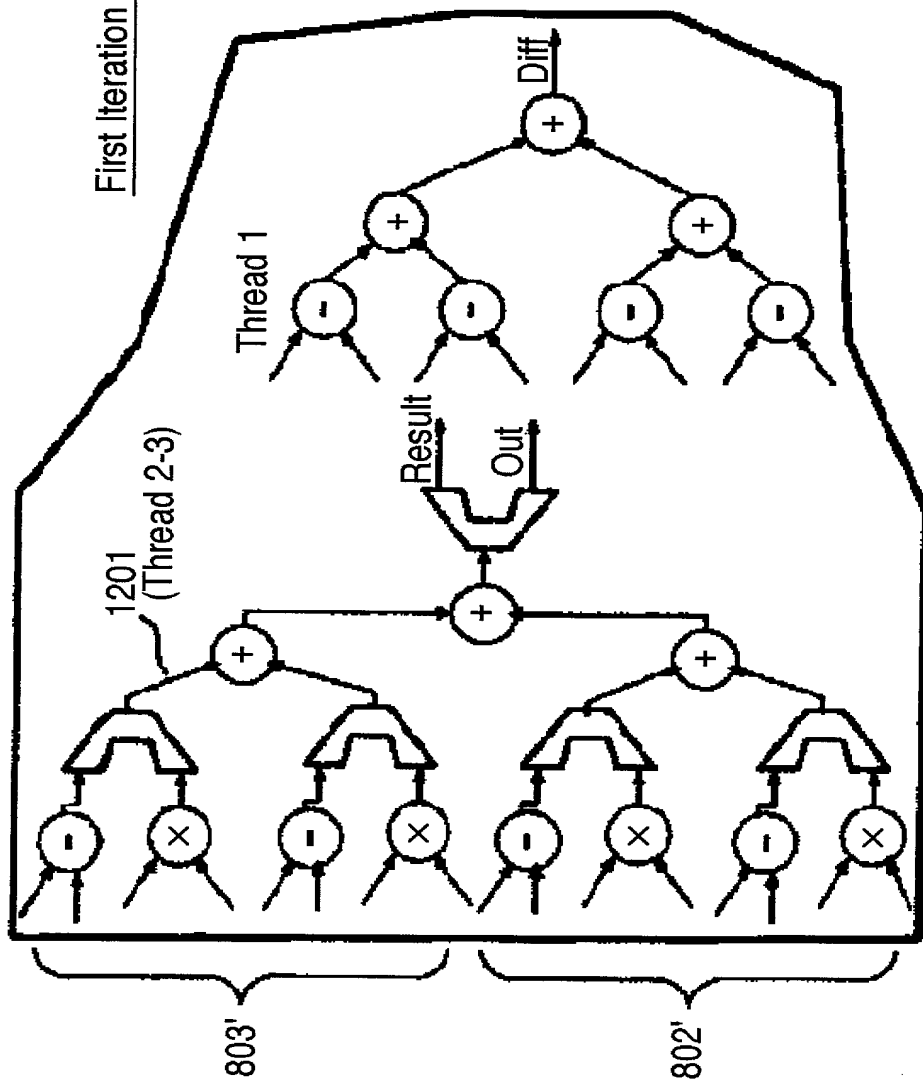


Fig. 11b





First Iteration : Area = 481

Fig. 12a

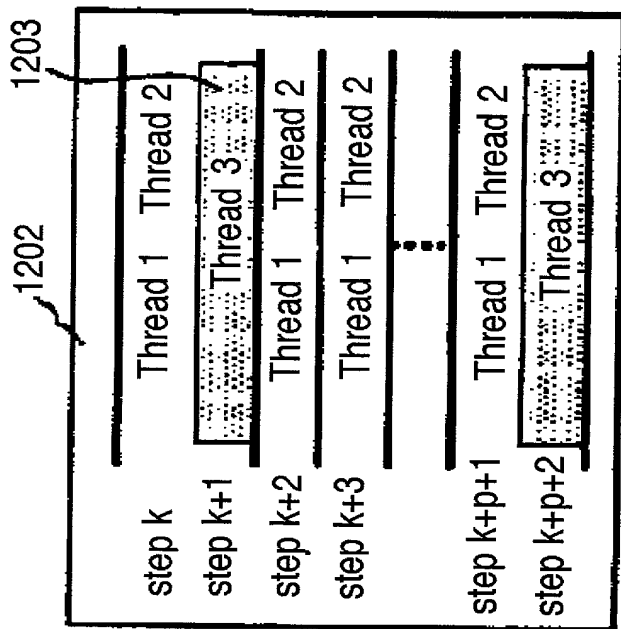
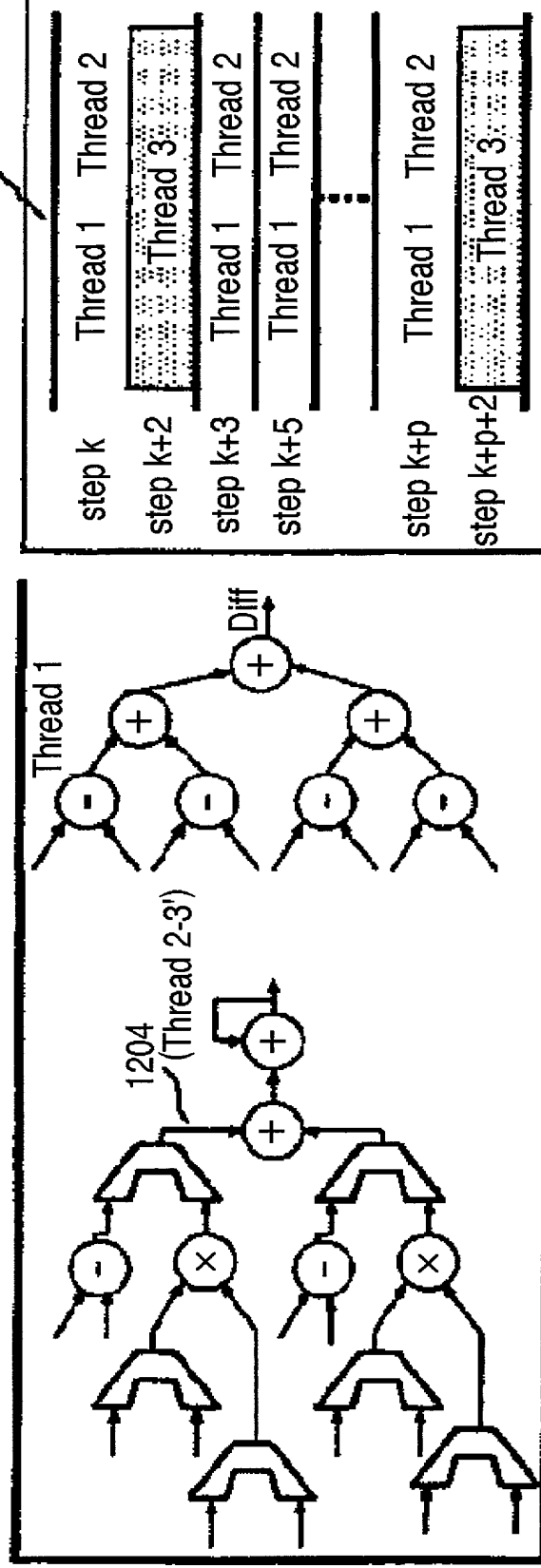


Fig. 12b

2nd Iteration : Area = 368



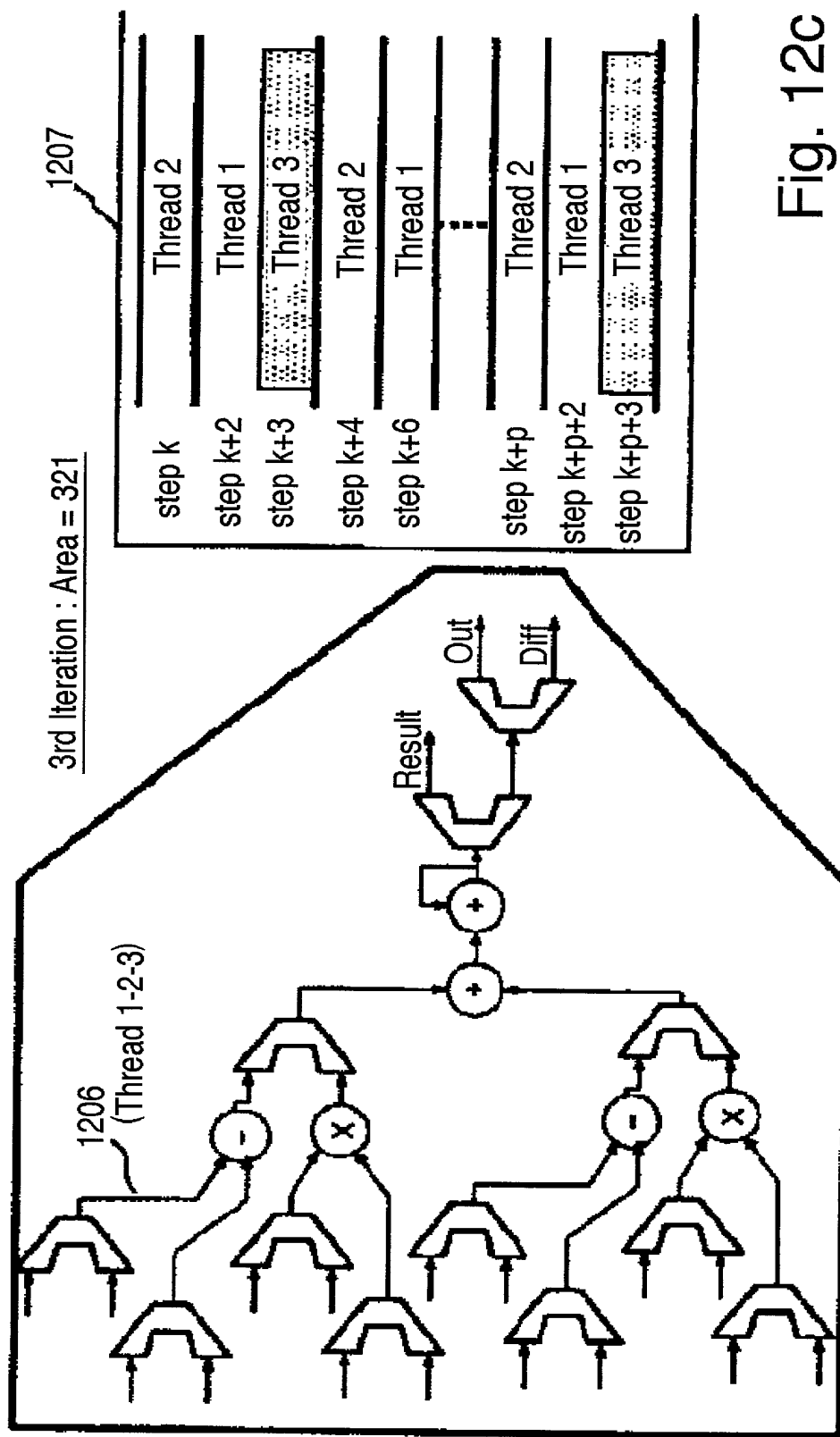
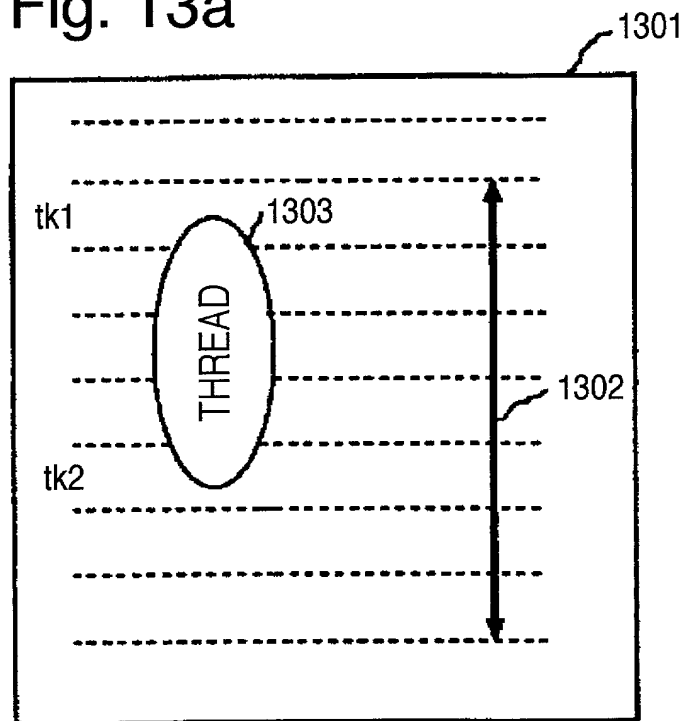
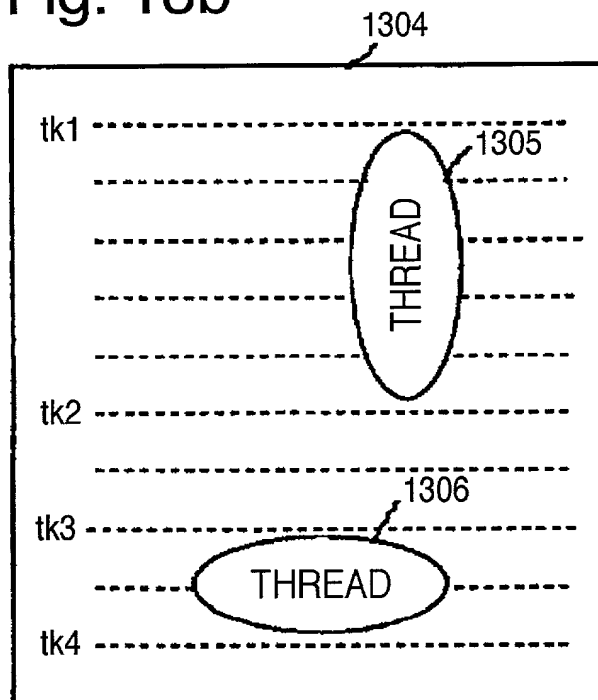


Fig. 13a



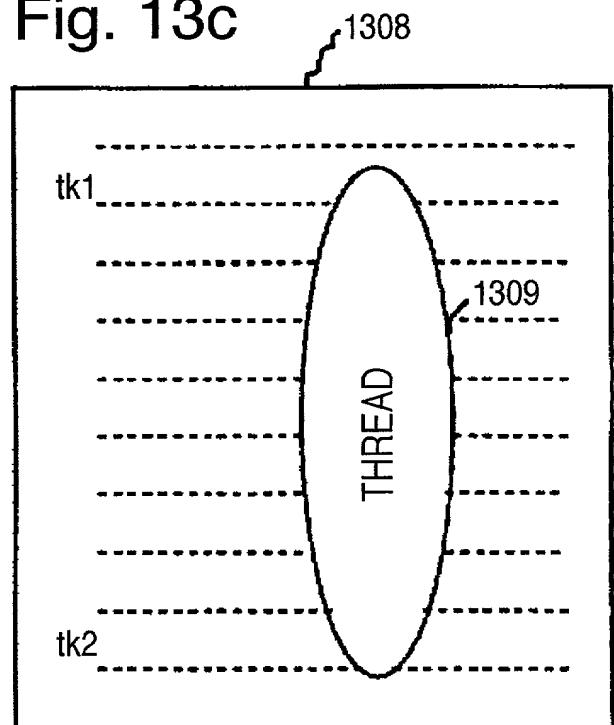
THREAD MOVEMENT RANGE
RESTRICTION

Fig. 13b



THREAD SHARE RESTRICTION

Fig. 13c



PIPELINE RESTRICTION

Fig. 14

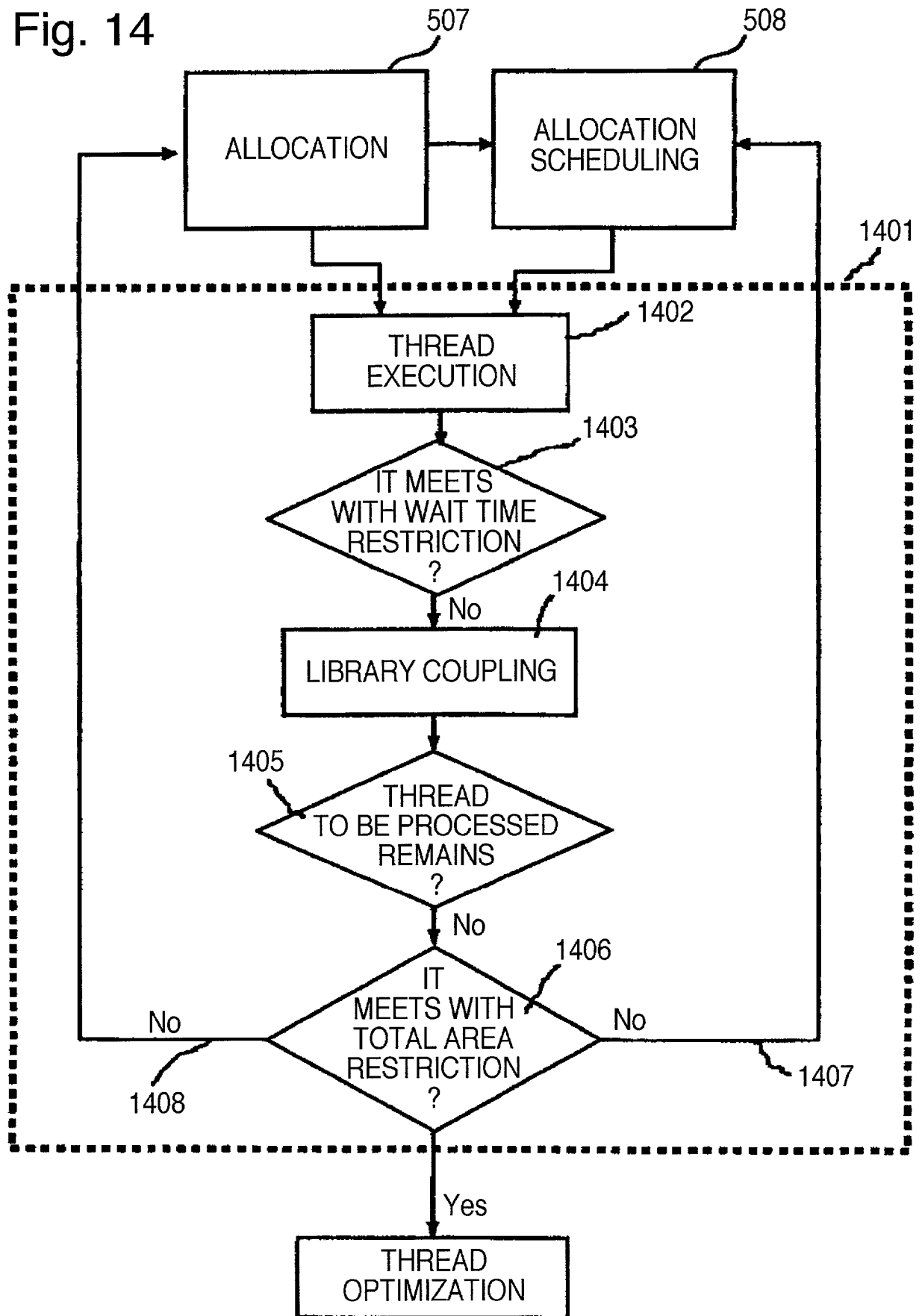


Fig. 15

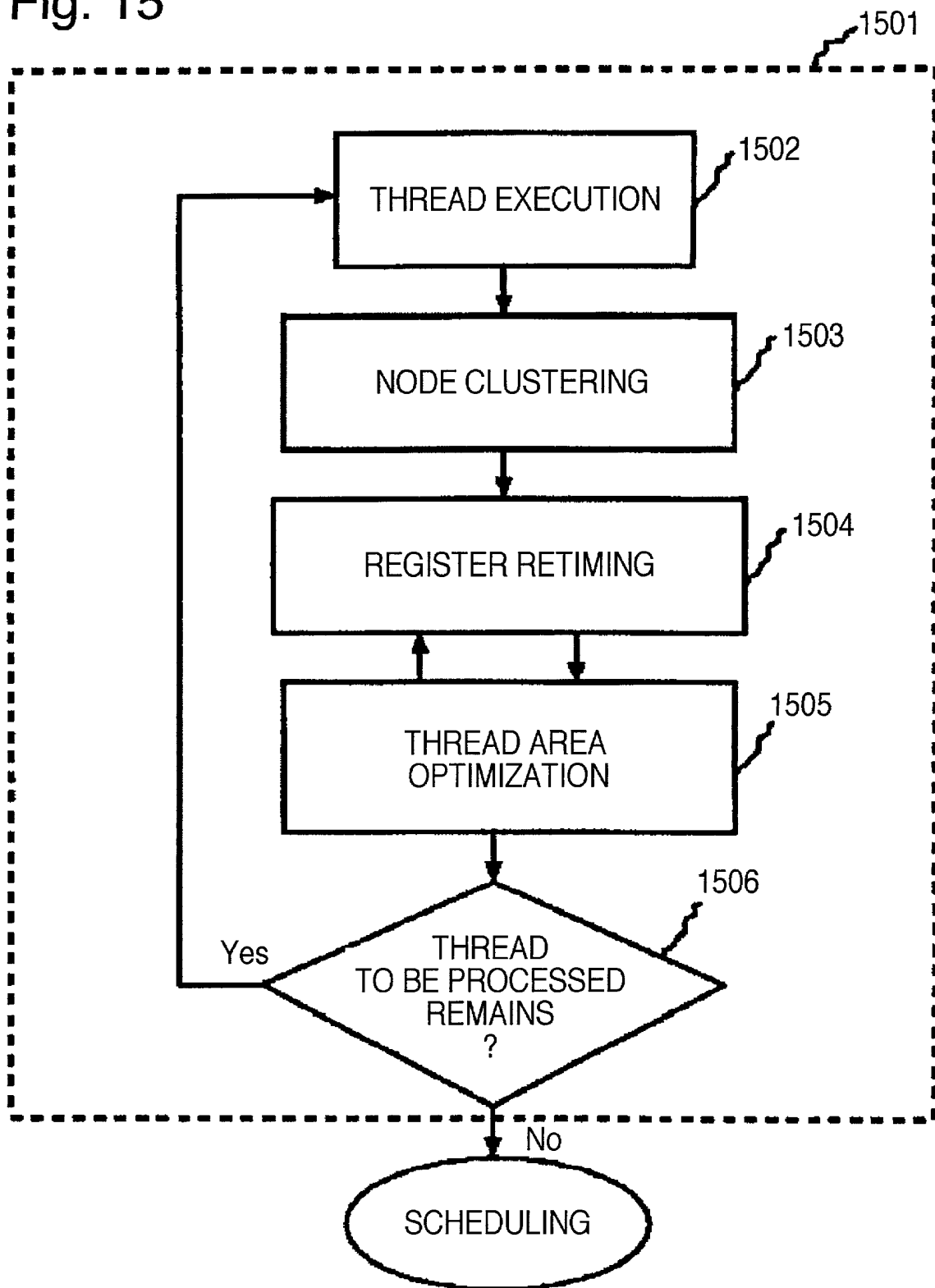


Fig. 16

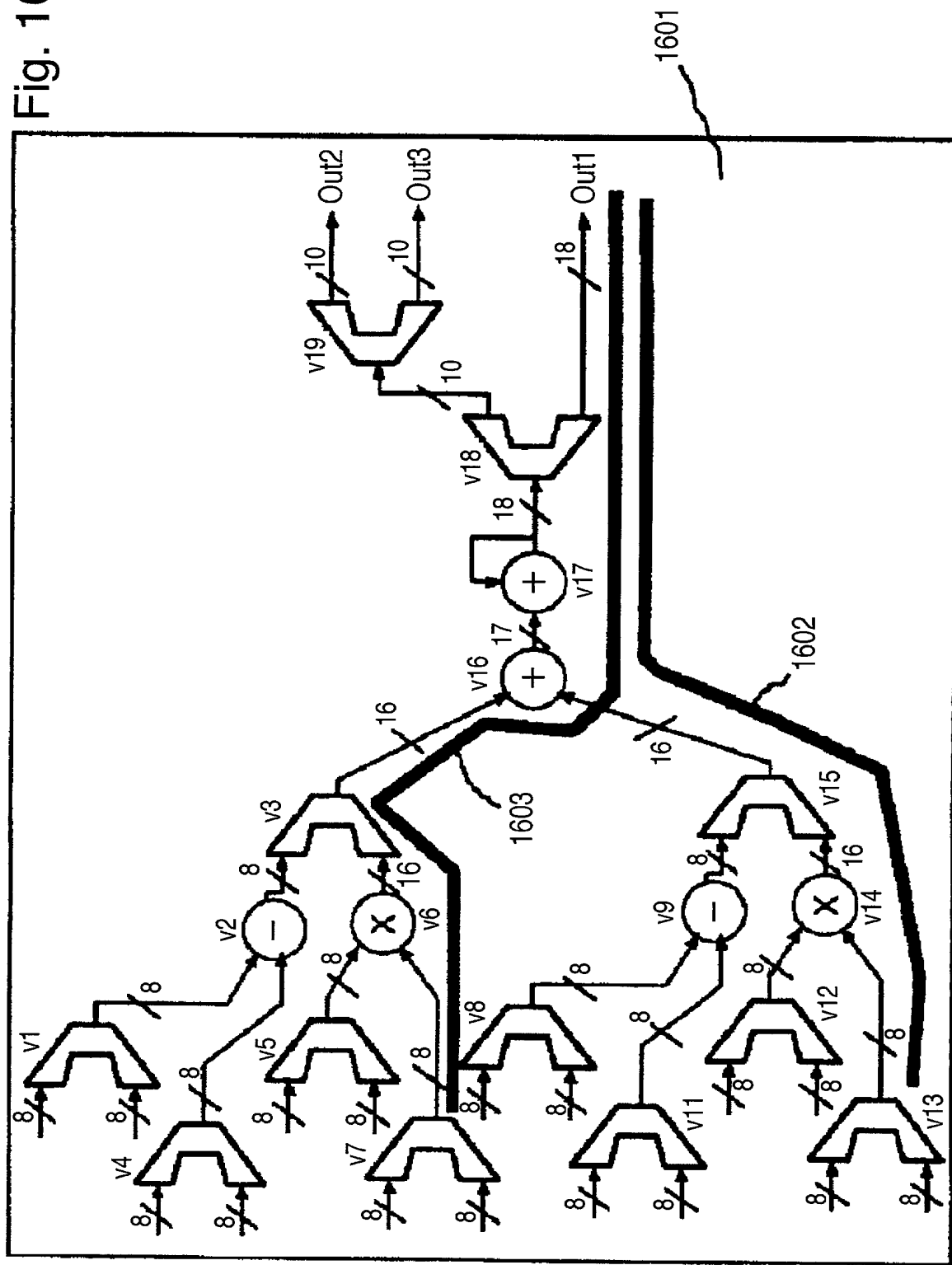
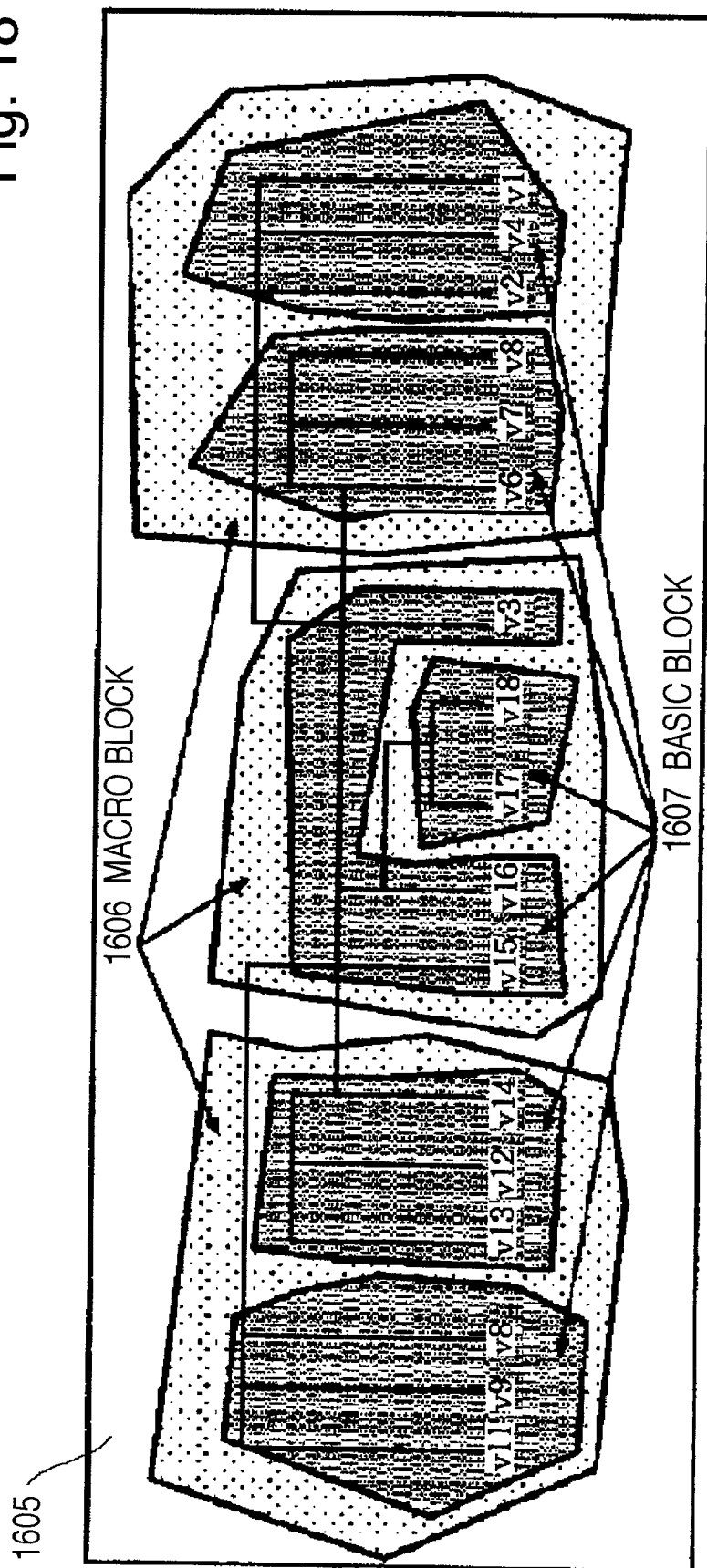


Fig. 17

Closeness matrix

	v1	v2	v3	v4	v5	v6	v7	v8	v9	v10	v11	v12	v13	v14	v15	v16	v17	v18	v19
v1	—	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
v2	8	8	8	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
v3	—	8	—	—	—	16	—	—	—	—	—	—	—	—	—	16	—	—	—
v4	—	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
v5	—	—	—	—	—	8	—	—	—	—	—	—	—	—	—	—	—	—	—
v6	—	—	16	—	8	—	8	—	—	—	—	—	—	—	—	—	—	—	—
v7	—	—	—	—	—	8	—	—	—	—	—	—	—	—	—	—	—	—	—
v8	—	—	—	—	—	—	—	8	—	—	—	—	—	—	—	—	—	—	—
v9	—	—	—	—	—	—	8	—	—	8	—	—	—	—	8	—	—	—	—
v10	—	—	—	—	—	—	—	—	—	—	8	—	—	—	—	—	—	—	—
v11	—	—	—	—	—	—	—	8	—	—	—	—	—	—	—	—	—	—	—
v12	—	—	—	—	—	—	—	—	—	—	—	—	8	—	—	—	—	—	—
v13	—	—	—	—	—	—	—	—	—	—	—	—	—	8	—	—	—	—	—
v14	—	—	—	—	—	—	—	—	—	—	8	—	8	—	8	—	—	—	—
v15	—	—	—	—	—	—	—	8	—	—	—	—	—	—	—	16	—	—	—
v16	—	—	16	—	—	—	—	—	—	—	—	—	—	—	16	—	17	—	—
v17	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	17	—	18	—
v18	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	18	—	10
v19	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	10	—

Fig. 18



202509 98297660

Fig. 19

